

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-93501

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 K 19/07				
G 0 6 F 12/14	3 1 0 A			
G 0 6 K 17/00	B			
			G 0 6 K 19/ 00	N

審査請求 有 発明の数 1 O L (全 11 頁)

(21) 出願番号 特願平6-159035  
 (62) 分割の表示 特願平4-290557の分割  
 (22) 出願日 昭和53年(1978)8月25日

(31) 優先権主張番号 7 7 2 6 1 0 7  
 (32) 優先日 1977年8月26日  
 (33) 優先権主張国 フランス (F R)

(71) 出願人 390035633  
 ブル・エス・アー  
 フランス国、エフ-92800・ピュトー、ブ  
 ラス・カルポー、1、トウール・ブル (番  
 地なし)

(72) 発明者 ウゴン・ミチエル  
 フランス国、ブレジール、リュ・ウドン  
 11

(74) 代理人 弁理士 川口 義雄 (外2名)

(54) 【発明の名称】 マイクロプロセッサおよび少なくとも一つのプログラム可能な読み出し専用メモリを備えるデータ担体の外部との間のオペレーションの実行方法

## (57) 【要約】

【目的】 プログラム可能であり、多数の機能を遂行することの可能なデータを記憶し処理するためのデータ担体と外部との間のオペレーションの実行方法を提供する。

【構成】 対象が銀行業務であるとしたときには、キーNo. 1で銀行が識別され、そして、キーNo. 2で顧客が識別される。このとき、定義メモリには、データ担体の貸借用途を指定するコードを記憶するための領域が含まれることになる。2ビットのLOCK領域については、LOCK=11であるときにはキーNo. 1が存在するときのみ、メモリのあらゆる部分への書き込みアクセスが許される。LOCK≠11であるときには、物理的メモリの部分0および部分2の内容が有効化される。キーNo. 2が存在しないときには、部分0へのアクセスおよび部分2への書き込みが禁止される。

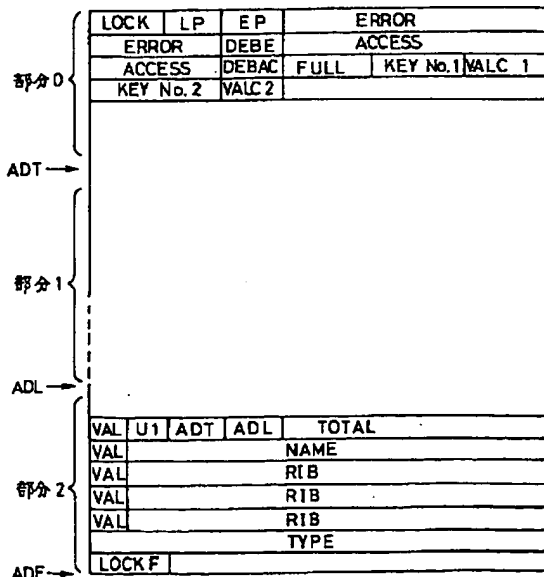


図 4 B

1

## 【特許請求の範囲】

【請求項1】 マイクロプロセッサおよび少なくとも一つのプログラム可能な読み出し専用メモリを備えるデータ担体の外部との間のオペレーションの実行方法であって、

一外部より送られた演算コード“CODOP”をデータ担体で受け取るステップと、

一該演算コードに関連の命令が保護されているか、または単に許可されているものかどうかを認識するために、マイクロプロセッサの処理と前記プログラム可能な読み出し専用メモリの領域に格納されている情報とによりワード“CODOP”を試験するステップと、  
一試験の結果に従い命令を実行するステップとを含むオペレーションの実行方法。

【請求項2】 命令が保護されているときのオペレーションの実行が、

一線路I/Oからキーを受取り、メモリの秘密領域に含まれている一つのキーと比較するステップと、

一伝送されたキーが正しいと比較により示されれば、要求された命令を実行するステップとを含む請求項1に記載の方法。

【請求項3】 前記マイクロプロセッサが、外部により要求された命令のタイプを認識し、制御用読み出し専用メモリに含まれているプログラムを実行するときに、受信したアドレス語が所定の値(ADT、ADL)の間に在ることを検査する請求項1または2に記載の方法。

【請求項4】 オペレーションが読み出し動作であり、読み出し動作が実行されるやいなや、データ担体がまだ有効であるかどうかを検査するために第2の試験が行われ、第2の試験結果に従い、メッセージ(FFFまたは000)が線路I/Oに送出される請求項1または2に記載の方法。

【請求項5】 オペレーションが書き込み動作と、該書き込み動作の終了後直ちに外部への送出動作が実行される読み出し動作とからなる請求項1から3のいずれか一項に記載の方法。

【請求項6】 一信号“SYNC”をデータ担体で受け取るステップを含む請求項1から5のいずれか一項に記載の方法。

【請求項7】 前記演算コードが、信号“SYNC”に続くと共に、アドレスビット“AD”を含む請求項6に記載の方法。

## 【発明の詳細な説明】

【0001】 この発明は、操作が容易でしかも持運びが容易である秘密データまたは秘密を要しないデータのための新規なデータ担体に関する。

【0002】 磁気カードの形態にあるとか、あるいはまた集積回路を内蔵したカードの形態であるとか、既に多数のデータ担体の実例が知られている。

【0003】 この種のデータ担体は精巧なものである

2

が、その主たる欠陥は担体が意図されている用途によって決定される単一の機能を遂行する決まった構成の特殊な電子回路を使用しなければならないという点にある。

【0004】 この発明の第1の目的は、電子的構成がプログラム可能であり、しかも特殊な電子的構成を用いず多数の機能を遂行することができるデータを記憶し処理するためのデータ担体と外部との間の読み出し、書き込み等のオペレーションを実行する方法を提供することにある。

【0005】 この発明によると、マイクロプロセッサおよび少なくとも一つのプログラム可能な読み出し専用メモリを備えるデータ担体の外部との間のオペレーションの実行方法であって、

一外部より送られた演算コード“CODOP”をデータ担体で受け取るステップと、

一該演算コードに関連の命令が保護されているか、または単に許可されているものかどうかを認識するために、マイクロプロセッサの処理と前記プログラム可能な読み出し専用メモリの領域に格納されている情報とによりワード“CODOP”を試験するステップと、  
一試験の結果に従い命令を実行するステップとを含むオペレーションの実行方法が提供される。

【0006】 この発明によると、外部からデータ担体に命令を送る際、特別なコードワード“CODOP”が共に送られ、データ担体は、該コードワードに従って、命令が保護されているものか、あるいは単に許可されているものかを判断する。

【0007】 したがって、この発明によると、データ担体の使用における融通性が改善され、多数の機能を遂行できる。

【0008】 この発明は、特に、変動する勘定データの記憶や処理、秘密または制限された情報に対するアクセスの制御、処理の内部的分類またはいろいろな処理が可能ならしめた秘密にされるファイルまたは秘密にされないファイルの作成に用いることができる。

【0009】 この発明の特徴や利点は、添付図面を参照しての以下の詳細な説明から一層明瞭になろう。

【0010】 図1は、この発明に係るデータ担体で使用する電子回路の第1の概略図を示す。マイクロプロセッサ1は、アース9と端子7との間において外部電源から調整電圧を受ける。

【0011】 PROM型の電氣的にプログラム可能な読み出し専用メモリ2は、アース9と端子8との間において給電接続されている。

【0012】 この構成によれば、端子7が一定の電位にあって、マイクロプロセッサ1に給電している間に書き込み電圧を端子8に印加することができる。メモリ2は、4096ビットないし8192ビットの容量とすることができ、そしてこの容量は意図する用途によって十分である。しかしながら、この容量は、この発明を制限するものでは

ない。

【0013】端子5は、データ担体の各種の内部要素を外部要素と同期させる働きをする。これに印加される電圧は、パルス電圧であって、その周波数は0.5ないし5メガヘルツのオーダーとすることができる。

【0014】端子6は、入力データおよび出力データに対する唯一のアクセス手段であり、マイクロプロセッサは、転送方向に依存してデータを直列化したり並列化したりすることにより、対話を司る。

【0015】マイクロプロセッサ1は、アドレス母線3およびデータ母線4を介してメモリ2を完全に制御する。

【0016】読出し要求が端子6からマイクロプロセッサに達すると、チェック後にアクセスが許される。読出し相においては、アドレスは母線3から供給されて、データは母線4に読出される。

【0017】書込み要求が端子6からデータ担体に達すると、チェックの後にアクセスが許される。アドレスは母線3から与えられ、データは母線4から書込まれる。書込み指令は、端子8の書込み電圧と同時に、線路10を介してメモリ2に伝送される。

【0018】図2は、この発明に係るデータ担体で使用する電子回路の第2の概略図を示す。

【0019】マイクロプロセッサ1は、電気的にプログラム可能な不揮発性メモリ2を内蔵している。このメモリ2は、2個の領域20および21に分けられている。

【0020】領域20は、マイクロプロセッサのための動作プログラム(operating programme)を記憶している。領域21は、データを記憶するために用いられる。

【0021】この例においては、先の例と同様に電源電圧がマイクロプロセッサに供給され、クロック電圧5も供給される。

【0022】先に述べた母線3および4は、この例では内部母線にされており、図2には示されていない。

【0023】図3は、この発明に係るデータ担体の具体構造を示す横断面図である。ポリ塩化ビニルからなるシートC2に形成された開口内には、これもポリ塩化ビニルからなる別異の2枚のシート材C1、C3が嵌着されており、これらのシート材C1およびC3は上記開口の全領域を占め、そして該開口の周辺に形成された段部に取り付けられている。

【0024】段部によって形成された突出部と2枚のシート材C1とC3との間に画定された空間内には、エポキシ樹脂層C4が配置されており、このエポキシ樹脂層C4には2個の半導体モジュールのための2個の開口が形成されている。これらの半導体モジュール中で、一方のモジュールはマイクロプロセッサ・モジュールC7であり、他方のモジュールは電気的にプログラム可能な不揮発性メモリC8である。

【0025】エポキシ樹脂には導電性のワイヤC9、C

10およびC11が施されており、これらは導体L1ないしL4によって上記2個の半導体モジュールに接続されている。導体L1ないしL4の一端部はポリ塩化ビニルシート材C1によって保持されており、また、導体L1ないしL4が出ている面と反対側のモジュールの面はポリ塩化ビニルシート材C3に圧接されている。データ担体と外部演算装置との間の接続の一具体例は、他に提案されている。

【0026】図4Aは、この発明に係るデータ担体のデータ内容の組織図である。データ担体をあらゆる種類の使用に適合させるようにするために、電気的にプログラム可能な不揮発性メモリには2種類の組織が設けられている。

【0027】第1の組織は、メモリの物理的組織を表わすものであって、これはマイクロプロセッサだけにしか知らされないものである。

【0028】第2の組織は、メモリの論理的組織を表わすものであって、これはデータ担体が用いられるときの使用条件を満たすものである。

【0029】マイクロプロセッサは、これら2種類の組織を相関させる役目を有している。

【0030】通常の動作においては、物理的メモリは3個の部分からなっている。

【0031】部分0は、アドレスADOで始まり、アドレスADT-1で終るものである。この部分0はメモリの秘密部分を表わすものであって、外部からの読出しおよび書込みは禁止され、内部的な読出しおよび書込みだけが緩されるものである。

【0032】部分1は、アドレスADTで始まり、アドレスADL-1で終るものである。この部分1はマイクロプロセッサのための作業メモリとしての働きをするものであって、あらゆる内部的なまたは外部からの読出しおよび書込み動作が許されるものである。

【0033】部分2は、アドレスADLで始まり、アドレスADFで終わるものである。メモリのこの部分2においては、外部からのおよび内部的な書込みは禁止されるが、内部的なまたは外部からの読出しは許されるものである。

【0034】論理的メモリは、開設メモリと利用メモリに分けられる。

【0035】データ担体は、それが発行された時点において、該担体の識別を可能にする情報を記憶していなければならない。この情報は、開設メモリに記憶されている。この開設メモリはアドレスADFで始まるものであり、データ担体の製造者およびその連番の識別を可能にする複数の領域と、開設メモリの内容を有効化したり、該開設メモリの書込みを許可したりする領域LOCKFとに分けられている。領域LOCKFは、例えば2ビット・サイズのものにすることができ、次のコードを用いることができる。LOCKF=11であるときには開

設領域における読取りおよび書込みが可能であり、これに対して、LOCK≠11であるときには開設領域の内容が有効化されて書込み動作が禁止されている。

【0036】利用メモリはデータ担体の使用者によって用いられるものである。ただし、どのような使用がなされるにしても、このメモリ自体は、2個の部分に分けられており、その中の一方の部分は定義メモリと称され、他方の部分は適用メモリと称される。これらの領域の大きさは、意図される使用によって左右されるものであることは、言うまでもない。定義メモリはアドレスADO

【0037】すなわち、定義メモリの外部からのアクセスを禁止してその内容を有効化する多ビット領域LOCK；データ担体の性質によって定まる長さを有しデータ担体の動作を許容するのに必要なパラメータを記憶している領域PARAM；および、勘定記録手段、食事チケット、電子的封止手段、ホテルやファイルシステムへの容認キーなどとして用いることができるデータ担体の機能を定義する領域TYPEを含んでいる。

【0038】適用メモリは、残余の領域から構成されている。この適用メモリは共用メモリとして使用することができるけれども、物理的メモリの種々な部分に対するアクセスを規制する条件は守らねばならない。従ってこの発明のデータ担体が適用される用途が何であれ、秘密データは常に部分0に位置しており、読出されるデータだけが部分2に位置している。そして、データ担体の通常の動作において記憶されるべきデータは部分1に位置することになる。適用メモリに記憶される論理データに用いられるフォーマットは、任意のもので良いことは言うまでもない。

【0039】次に、論理メモリの内訳の一例について、図4Bを参照しながら基本的な使用に関連して説明する。

【0040】まず、データ担体へのアクセスのためには、少なくとも2個のキーが必要があるものとする。対象が銀行業務であるとしたときには、キーNo. 1で銀行が識別され、そして、キーNo. 2で顧客が識別される。このとき、定義メモリには、データ担体の貸借用途を指定するコードを記憶するための領域が含まれることになる。領域PARAMについての説明に入る。2ビットのLOCK領域については、LOCK=11であるときにはキーNo. 1が存在するときのみ、メモリのあらゆる部分への書き込みアクセスが許される。LOCK≠11であるときには、物理的メモリの部分0および部分2の内容が有効化される。キーNo. 2が存在しないときには、部分0へのアクセスおよび部分2への書込みが禁止される。カードによるクレジットを与えるためにはキーNo. 1が必要とされる。LOCK≠11であるときには、定義メモリの内容が有効化される。

【0041】領域LPは2ビットからなるものである。

【0042】LP=11であるときには、読出しが保護されることはなく、部分1および2からの読出しがキーなしで許される。

【0043】LP≠11であるときには、読出しは保護されることになり、部分1および2からの読出しのためにはキーが必要とされる。多くの銀行業務においては、これが普通である。

【0044】領域EPは2ビットからなるものである。

【0045】EP=11であるときには、書込みは保護されない。このときには、メモリは保護されていない記憶手段として用いられることになる。このことは、例えば、データ担体がインプリント(imprint)される以前にはメモリがブランクにされている状態に対応する。

【0046】EP≠11であるときには、物理的メモリの部分1に書込みを行うためにはキーが必要とされる。

【0047】適用メモリは、識別メモリおよび貸借メモリからなるものである。識別メモリ内のデータは、部分0および2に分けられている。部分0においては、識別メモリは、本質的に誤りメモリおよびアクセスメモリからなっている。誤りメモリは、データ担体が間違ったキーで用いられる度毎に誤りビットを記憶する。誤りビットは、ある所定のアドレスADEから出発して逐次大きくなるアドレスに記憶される。溢れ領域DEBEが書込まれると、データ担体は無効にされる。

【0048】アクセスメモリは、データ担体の読取りが保護されている場合(LP≠11)のみ存在する。そしてこれが銀行業務に用いる場合の大多数の例である。正しいキーによる各読取り動作において、マイクロプロセッサはアクセスビットを逐次書込む。アクセスビットは、ある所定のアドレスADAから書込まれていく。領域DEBACに達するとデータ担体は無効にされ、読取りは行われない。

【0049】識別メモリは、更に次のような領域を含んでいる。すなわち、カードが満杯であって、書込みが不可能であることを表示する「満杯」領域FULL；銀行のキーおよび顧客のキーに対するコードを記憶する「キー」領域KEY(例えば、銀行にはキーNo. 1が割り当てられ、顧客にはキーNo. 2が割り当てられる。)；キーNo. 1の有効性を判定する領域VALC1(VALC1≠11であれば、キーは有効)；およびキーNo. 2の有効性の判定を行なう領域VALC2(VALC2≠11ならばキーは有効)を含んでいる。

【0050】LOCK≠11であるときには、データ担体の購買能力を、特にいかなる形式のクレジットでも、増大させるような情報の書込みだけが、キーNo. 1で許される。これに対して、キーNo. 2は、借方操作の有効化(保護された読出しまたは書込み)のために、データ担体の所有者によって使用される。

【0051】物理的メモリの部分2の識別メモリは、アドレスが減少する方向において定義メモリ、TYPE領

7

域のすぐ前から始まる。この可変長の領域は、データの永久的な記憶を可能にする。この領域には、次の領域が含まれている。すなわち、作業領域の開始アドレスを有するポインタADTと読出し領域のアドレスを有するポインタADLを記憶するアドレス領域；銀行の識別表示およびデータ担体の発行日を表わす領域RIB；データ担体の所有者の名称を表わす領域NAME；nビットの「合計」領域TOTAL；および、上記合計領域と関連してデータ担体の初期合計を既知にする単位領域U1を含んでいる。

【0052】例えば、単位領域が500フランを表示しているものとする、データ担体が記憶することができる初期合計は $(2^n - 1) \times 500$ フランである。

【0053】貸借メモリは、アドレスADTとADLとの間で物理的メモリの部分1の作業領域内に位置している。借方は、アドレスが大きくなる方向において、アドレスADTから出発して記録される。

【0054】貸方は、アドレスADLから出発して、アドレスが減少する方向に記録される。このようにして借方および貸方は互いに向い合って進み、次第にメモリを満たしていく。

【0055】図5は、図1および図2に示した概略図の詳細回路図である。この図5において、入力データまたは出力データは、データ担体の端子6に2進形態で現われる。入力データは、ゲート25を通過してシフト・レジスタ24に記憶される。ゲート25は、該ゲート25を論理制御装置16に接続する線路36からの信号によって制御される。出力データは、これも論理制御装置16への接続線路36の信号によって制御されるゲート26を通過してデータ担体から出力される。シフト・レジスタ24に記憶されたデータは、次いで、算術論理演算装置23で行なわれる演算のための第1の演算数として用いられる。なお、算術論理演算装置23は、論理制御装置16により発生される制御信号で線路37を介して制御されるものである。第2の演算数は、アドレス・セクタ22によってアドレス指定されるレジスタ・バンク19のレジスタ段A、B、C、Dの中の1つに記憶されている。このアドレス・セクタ22は、線路29を介して論理制御装置16により制御されるものである。算術論理演算装置23によって行なわれた演算の結果は、レジスタバンク19のレジスタ段Aに、または、ゲート26を介してデータ担体の端子6に伝送される。また、レジスタ段A、B、C、Dは、接続線路46による論理制御装置16の制御の下に、線路41を介してデータおよびアドレス母線34から置数することもできる。そして、母線34は、二方向接続線路33によってシフト・レジスタ24にも接続されており、このことから、シフト・レジスタ24は並列入力／出力部で書込みおよび読出しをすることができる。マイクロ命令(microinstruction)は、不揮発性の読出し専用メモリ(ROM)型式の制御メモリ20に格納されている。アドレス・セクタ13はこ

8

れらのマイクロ命令のアドレス指定を行なって、レジスタ14に読出しを行ない、そして接続線路48を介して論理制御装置10に再伝送を行なう。

【0056】メモリ21は、電氣的にプログラム可能な不揮発性メモリである。このメモリ21は、線路3を介して母線34から置数されるアドレス・レジスタ11によってアドレス指定される。アドレス・レジスタ11は、メモリ21内のデータ語を指定するものである。制御メモリ20を電氣的にプログラム可能な不揮発性メモリとしても良い。

【0057】アドレス・レジスタ11は、論理制御装置16とアドレス・レジスタ11との間の接続線路38を伝送される制御信号によって制御される。このアドレス・レジスタ11に記憶されているアドレスは、論理制御装置16の制御でデータ担体の端子5に伝送されるクロック信号によって、自動的に増減することができる。メモリ21から読出されたデータは、線路42を使用する論理制御装置16の制御の下に、レジスタ12を通して母線34に伝送される。なお、図5に示されている要素の個々のものについては当業者にとって周知のものであるから、これについての詳細な説明は省略する。

【0058】意図される用途に対して、図5に示されている装置の機能は次のように要約することができる。

【0059】所与のアドレスから出発して許された領域におけるメモリ21の順次の読出しおよび書込みをする；可能化キーを受入れて、適用メモリの秘密領域に書込まれているデータ担体の外部からアクセスすることができない語と比較することによって、可能化キーをチェックする；読出しおよび書込みの許可または禁止をする；メモリへの書込みの系統的な自己チェックをする；アクセスの誤りおよび（または）アクセスの成功を内部的に記憶するように指令する；誤りの数が部分0に設定された数になったときに、それ以前に可能であった機能を不能にすること。

【0060】図6および図7は、メモリ読出しモードにおける動作を図解するものである。図6において、零リセット信号RAZで論理制御装置16が初期条件設定され、該論理制御装置はI/O線路を経てメッセージをレジスタTへ転送することを可能にするものである。

【0061】読出し指令は、演算コードCODOPおよびアドレスビットADに先行する信号SYNCの形態にある。用いられるコードは、各用途に応じて決定しなければならないことは言うまでもない。

【0062】CODOP指令およびアドレスは処理装置によって受け入れられ、該処理装置は、語CODOPおよびビットLPを試験することによって、読出し動作が含まれているか否か、そして読出し動作が保護されているか、あるいは単に許可されているかどうかを判定する。図6において、メッセージCODOP+ADはステップ501に受け入れられ、試験はステップ502および504で行なわれる。その動作が保護されていない読出し動

作であるときには、図5のレジスタ11には、ステップ510において、I/O線路からCODOPの伝送に続くアドレス語が入力され、次いで、ステップ511において、読出しアドレスが実際に許可されたメモリ領域内にあるか否かについて検査が行なわれる。特に、制御メモリ20に記録されているマイクロプログラムにより、受信したアドレス語がアドレスADTよりも高位であるか否かがチェックされる。その理由は、外部的な読み出しは、物理的メモリの部分1および2においてだけ許されるものであるからである。

【0063】アドレスがアドレスADTよりも高位であるときには、データがメモリ21から読出されてレジスタ12に入力され、母線34を介して出力線路I/Oに伝送される。そして、アドレス・レジスタの内容は、ステップ510において、マイクロプログラムによりコードCODOPの内容に依存して1単位だけ増減される。アドレスADがアドレスADT（部分0内のアドレス）よりも下位であるときには、アドレス・レジスタ11は、その内容が値ADTに達するまで1単位ずつ増分される。このようにして、部分0を除くメモリ全体は、増大または減少するアドレス方向において、データ担体に接続された装置によって読出される。

【0064】読出しが保護されているときには、「CODOP」およびLPビットについて行なわれる試験は一致しなければならない。このときには、ステップ505でキーを受入れることが必要である。2個のキーが必要とされるときには、読取り動作が行なわれるときに用いなければならないキーの型がCODOPコードの内容によって特定される。I/O線路から受け入れられたキーは、そこで識別メモリに記憶されている2個のキーの中の1個と比較される。ここで一致が生じたときには、伝送されたキーは正しいものとされ、このために、1個のビットがアクセスメモリに記録される（ステップ507）。このビットの書込みに対するチェックが、後続のステップ508で行なわれる。そして、このビットが書込まれなかったときには、ステップ507に戻ることが必要である。その書込みが実際上行なわれたときには、直ちに、データ担体が依然有効であるか否かを検査するために、DEBAC、誤りおよび全領域に対する試験がステップ509で行なわれる。データ担体が有効でないときには、例えばコード「000」が線路I/Oに沿って伝送される。担体がマイクロプログラムによって容認されたときには、アドレスADがアドレス・レジスタ11に送られて、ステップ510ないし513が実行される。

【0065】I/O線路から受け入れられたキーがステップ506で正しくないと判定されたときには、誤りビットが誤りメモリに記憶される（ステップ514）。また、図示されていないけれども、前記ステップ514と後続のステップ515との間に、誤りビットが書込まれたか否かをチェックするためのステップを設けることもでき

る。なお、このようなチェックのためのステップは、ステップ514または515に内在しているものとも考えることもできる。誤りビットが書込まれると、記録されている誤りの数が誤りの許容数Nよりも大きいかに否かに関してステップ515で試験が行なわれる。この誤りの数がNよりも小さいときには、メッセージ「FFF」が線路I/Oに沿って伝送され、他方大きい場合には、メッセージ「000」が線路I/Oを介して伝送されてデータ担体は無効にされる。

10 【0066】上に述べたデータ担体の読出し過程の説明から明らかなように、用いられるアクセスキーが正しいか正しくないかに関係なく、使用者はデータ担体の動作における変更を知ることはできない。これに加えて、2つの可能性（キーが正しいかまたはキーが正しくない）のうちのいずれにおいても、誤りビットまたはアクセスビットをメモリに書込めば、その結果として、データ担体は常に同じ大きさの電流を消費することになり、このことから、カードに流れる電流の強さをモニタしようと試みる不法者は、用いているキーが正しいか正しくないかに関係なく、常に一定の電流消費しか知ることができない。

30 【0067】図8および図9は、メモリの書込みモードにおけるデータ担体の動作を図解するものである。図8のフローチャートにおいて、零リセット信号RAZで論理制御装置16が初期条件設定され、I/O線路に存在するデータがレジスタ24に転送される。書込み指令は、書込みが保護されているときには、データ・アドレス・ビットADおよびキーによって後続される演算コード「CODOP」に先行する信号SINCの形態にある。次いで、信号V<sub>i</sub>が伝送されて、データ担体のメモリ21にデータを書込むことが可能にされる。線路I/Oを介して伝送されたデータが実際にデータ担体に記録されたことを使用者が確認できるようにするために、メモリに書込まれたデータは再び読出されて、線路I/Oを介して使用者に再伝送される。コード「CODOP」は各用例に対して特定化されていることは言うまでもない。図9のフローチャートにおいて、キーによって後続されることもあり、後続されないこともあるアドレスADおよび指令CODOPが、ステップ702および703で行なわれる試験により、データ担体によって認識される。ステップ704では、データ担体の有効性に関する試験が、領域DEBE、DEBACおよび「全」領域に対して行なわれる。データ担体が有効であるものと判定されると、ステップ705でデータが取込まれる。

40 【0068】書込みが保護されているときには、キーを用いることが必要であり、ステップ707でキーに対する試験が行われる。キーが誤っているときには、誤りビットが誤りメモリに書込まれ（ステップ708）、それに続いて、誤り領域が溢れ状態にあるか否かについて、ステップ709で試験が行なわれる。溢れ状態にあるときに

11

は、データ担体は線路 I/O にコード「000」を送ってカードが有効でないことを表示する（ステップ710）。溢れ状態にないときには、データ担体は線路 I/O にコード FFF を送り（ステップ711）、データが書込まなかったことを表示する。

【0069】キーが正しい場合には、有効化ビットがステップ712 で記憶され、受信されたアドレスがステップ713 でアドレス・レジスタ11に入力される。そこで受信されたアドレスが物理的メモリの許容された限界内に在るか否か、言換えるならば、アドレス ADL と ADT との間在るか否かを確かめるための検査がステップ714で行なわれる。上記限界内に無いときには、コード FFF が線路 I/O に送られてデータがメモリに記録されなかったことを表示する。アドレスが許容されるものであるときには、線路 I/O に沿って受け入れられたデータはレジスタ12に伝送されて、メモリの部分1に書込まれる（ステップ715）。ステップ716、717および718では、データがメモリに実際に書込まれたか否かについての試験が行なわれる。データがステップ719で書込まれた後に、有効化ビットがメモリに書込まれ、しかる後に、書込まれたデータが再び線路 I/O に沿って送られる。

【0070】以上、この発明の主たる特徴について図面に示す具体例を参照し説明したが、当業者には明かなように、この発明の範囲を逸脱することなしに数多くの変形や変更が可能であることは言うまでもないであろう。

【図面の簡単な説明】

【図1】この発明に係るデータ担体で使用する電子回路の概略図である。

【図1】

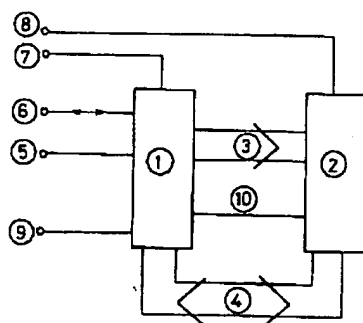


図 1

12

【図2】この発明に係るデータ担体で使用する電子回路の概略図である。

【図3】この発明に係るデータ担体の一例の具体的な構造を示す横断面図である。

【図4A】この発明に係るデータ担体のデータ内容の1つの組織図である。

【図4B】この発明に係るデータ担体のデータ内容の1つの組織図である。

【図5】図1および図2に示した概略図の詳細回路図である。

【図6】メモリ読出し相におけるデータ担体の動作の例示図である。

【図7】メモリ読出し相におけるデータ担体の動作の例示図である。

【図8】メモリ書込み相におけるデータ担体の動作の例示図である。

【図9】メモリ書込み相におけるデータ担体の動作の例示図である。

【符号の説明】

- 1 マイクロプロセッサ
- 2、21 電氣的にプログラム可能な不揮発性メモリ
- 3 アドレス母線
- 4 データ母線
- 5、6、7、8、9 端子
- 20 制御メモリ（第2の不揮発性メモリ）
- 23 算術論理演算装置
- 24 シフト・レジスタ
- 25、26 ゲート
- 34 データおよびアドレス母線

30

【図2】

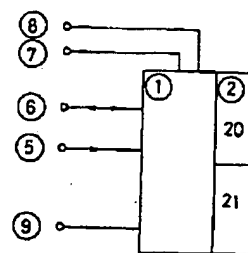


図 2

【図3】

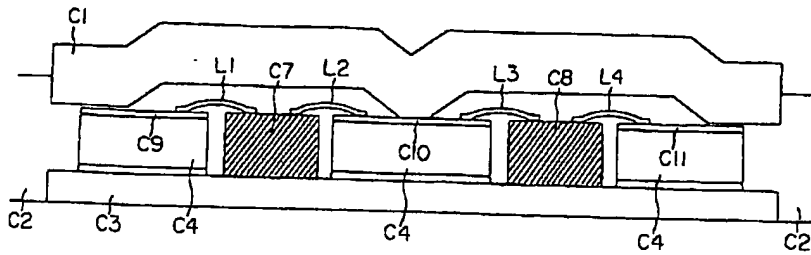


図 3

【図4A】

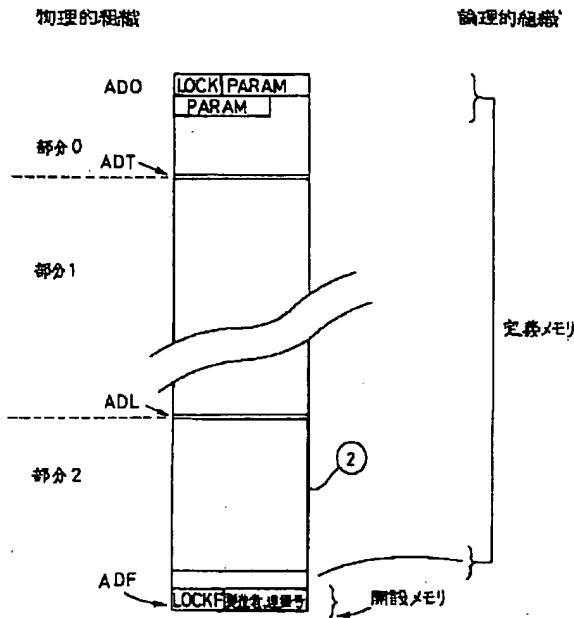


図 4 A

【図4B】

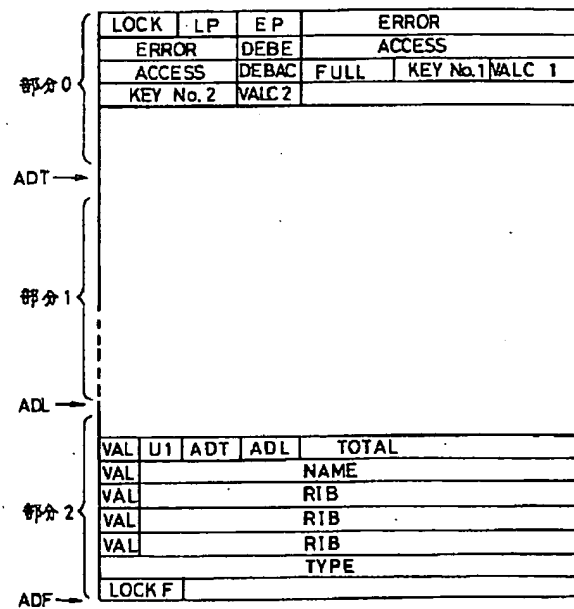


図 4 B

【図7】

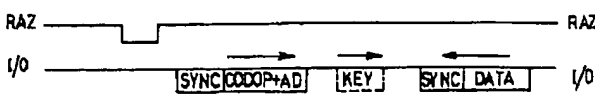


図 7

【図9】

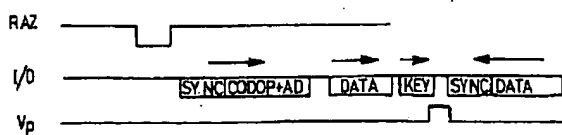


図 9



【図5】

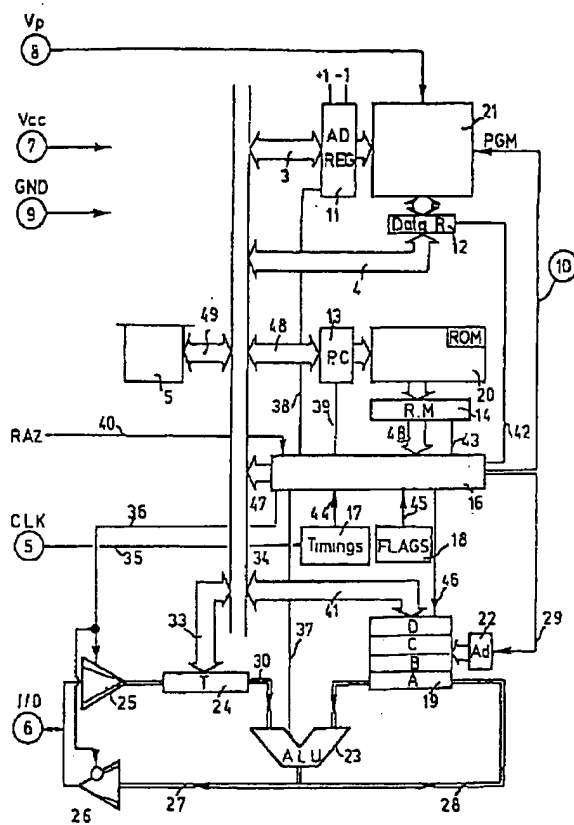


図 5

【図6】

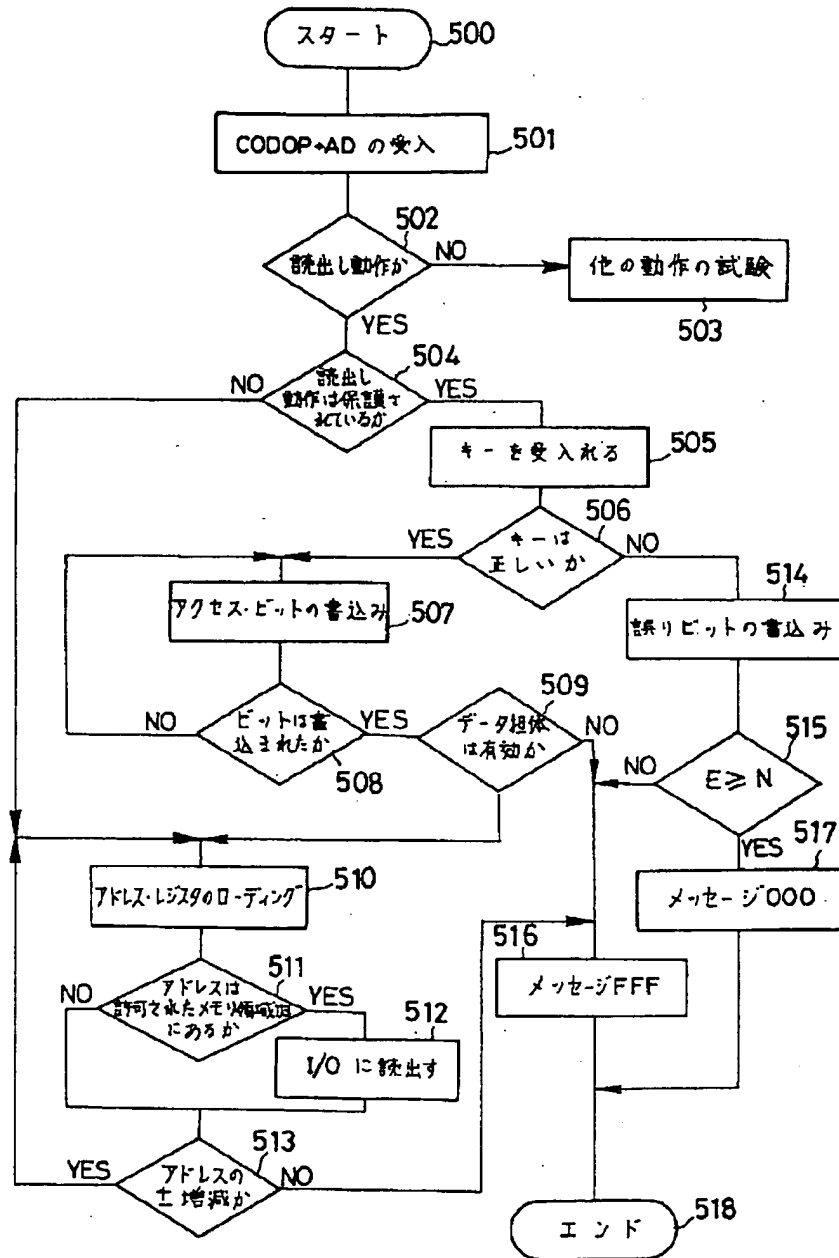


図 6

【図8】

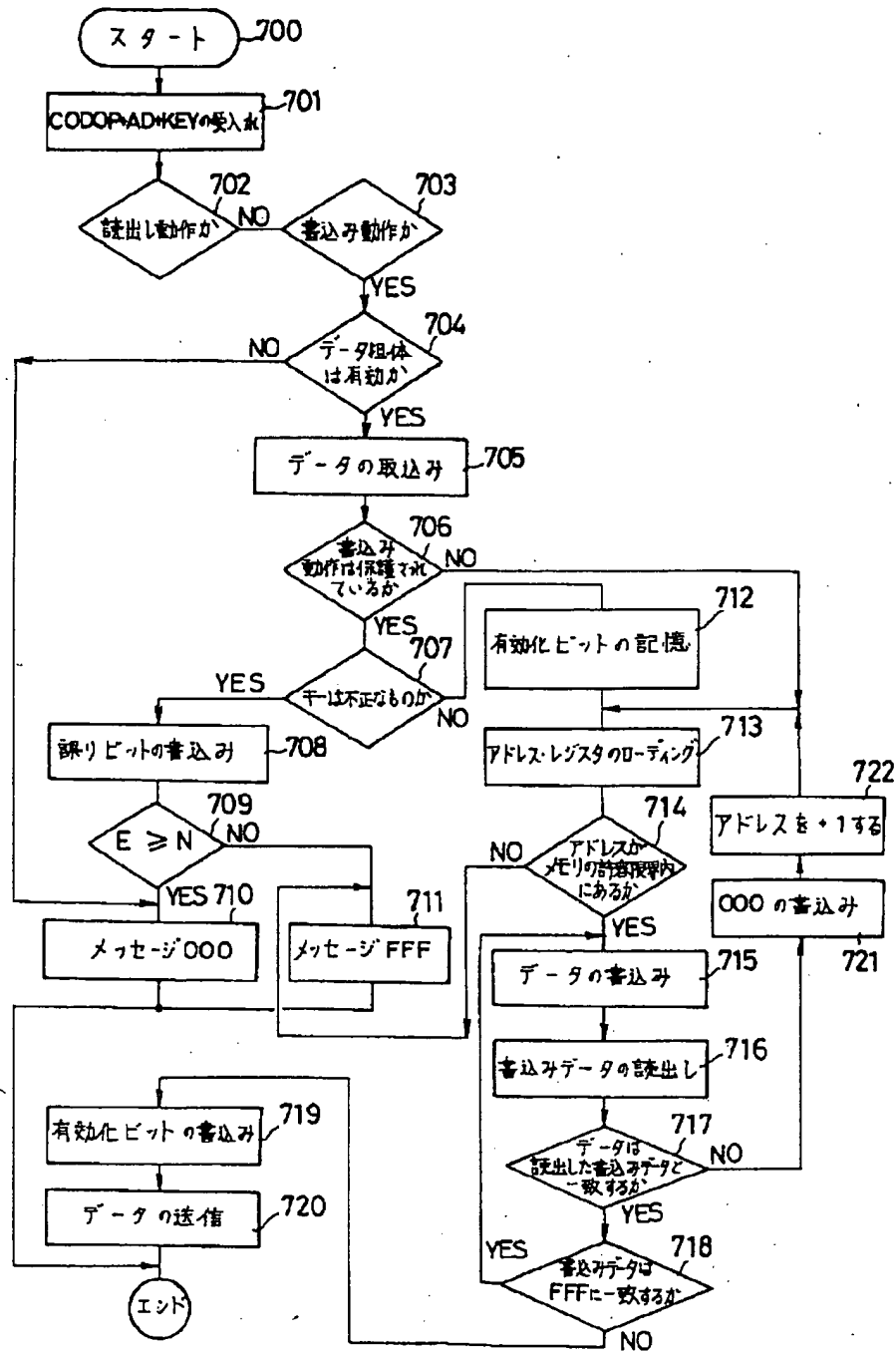


図 8